



This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0043890
Application Number

출원년월일 : 2003년 06월 30일
Date of Application JUN 30, 2003

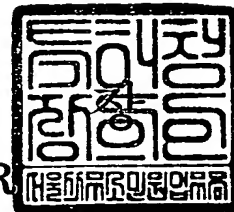
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 22 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0030
【제출일자】	2003.06.30
【발명의 명칭】	반도체 장치에서의 신호의 지연 시간 제어 방법
【발명의 영문명칭】	A method for controlling the delay time in a semiconductor device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	김지현
【성명의 영문표기】	KIM, Ji Hyun
【주민등록번호】	770714-2067321
【우편번호】	122-050
【주소】	서울특별시 은평구 갈현동 436-6
【국적】	KR
【발명자】	
【성명의 국문표기】	최병진
【성명의 영문표기】	CHOI, Byoung Jin
【주민등록번호】	690816-1162810
【우편번호】	467-863
【주소】	경기도 이천시 부발읍 신하리 청구아파트 105동 1101호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 5 면 5,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 4 항 237,000 원

【합계】 271,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 어떤 신호에 딜레이를 부여함에 있어서 테스트 모드에서 그 딜레이 양을 임의로 조절할 수 있도록 한 것으로, 단위 딜레이 양이나 그 갯수에 영향을 받지 않고 외부 신호를 이용하여 원하는 만큼의 딜레이 양을 설정할 수 있는 반도체 장치에서의 신호의 지연 시간 제어 방법에 관한 것이다.

본 발명에 따른 테스트 모드시 반도체 장치에서의 신호의 지연 시간을 제어하는 방법은 (a) 테스트 모드용 펄스 신호를 인가하는 단계; (b) 상기 테스트 모드용 펄스 신호의 폴링 에지마다 동기되어 순차적으로 응답하는 N 개의 테스트 모드 선택 신호를 발생하는 단계; (c) N 번째 테스트 모드 선택 신호가 발생한 후, N-1 번째 테스트 모드 선택 신호가 순차로 재발생하는 단계; (d) 상기 단계(c)를 반복하는 단계를 구비하며, 상기 반도체 장치에 입력되는 입력신호는 상기 제 1 내지 N-1 번째 테스트 모드 선택 신호가 인에이블되는 경우에만 소정 시간 지연되어 출력신호로 전달되고, 상기 제 1 내지 N-1 번째 테스트 모드 선택 신호에 따라서 상기 지연 시간은 서로 상이하다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

반도체 장치에서의 신호의 지연 시간 제어 방법{A method for controlling the delay time in a semiconductor device}

【도면의 간단한 설명】

도 1 은 일반적인 딜레이 제어 회로의 일예.

도 2 는 도 1 에 도시된 테스트 모드 딜레이부의 일예.

도 3 은 도 1 에 도시된 테스트 딜레이부의 일예.

도 4 는 본 발명에 따른 테스트 모드 딜레이부의 일 실시예.

도 5 는 본 발명에 따른 테스트 딜레이부의 일 실시예.

도 6 은 반도체 메모리 장치에 사용되는 딜레이 제어 회로의 일예.

도 7 은 도 1 에 도시된 반도체 메모리 장치에 사용되는 딜레이 제어 회로에 사용된 신호의 시뮬레이션 결과를 도시하는 파형도.

도 8 은 본 발명에 따른 도 4 에 도시된 테스트 모드 딜레이부에 사용된 신호의 시뮬레이션 결과를 도시하는 파형도.

도 9 는 도 4 내지 6 과 관련된 신호의 시뮬레이션 결과를 도시하는 파형도.

도 10a, 10b, 10c는 본 발명에 따른 파형도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <11> 본 발명은 반도체 장치에서의 신호의 지연 시간 제어 방법에 관한 것으로, 특히 어떤 신호에 딜레이를 부여함에 있어서 테스트 모드에서 그 딜레이 양을 임의로 조절할 수 있도록 한 것으로, 단위 딜레이 양이나 그 갯수에 영향을 받지 않고 외부 신호를 이용하여 원하는 만큼의 딜레이 양을 설정할 수 있는 반도체 장치에서의 신호의 지연 시간 제어 방법에 관한 것이다.
- <12> 일반적으로, 종래의 딜레이 회로에서는 필요한 딜레이를 만들기 위하여 단위 딜레이들을 일렬로 연결하는 모양을 취하고, 딜레이 양을 변화시키는 테스트 모드시 제어 신호로 회로의 입력이 통과하는 단위 딜레이의 갯수를 조절해서 전체 딜레이 양을 변화시켰다. 이 경우, 딜레이의 변화량은 단위 딜레이의 정수배로 제한되고, 전체 딜레이의 최대값은 연결되어 있는 단위 딜레이의 갯수로 결정되어 딜레이 양의 변화의 폭이 제한적일 수 밖에 없었다.
- <13> 이하, 도면을 참조하여 종래의 기술에 대하여 기본적으로 살펴보기로 한다.
- <14> 도 1 은 일반적인 딜레이 제어 회로의 일예이다.
- <15> 도시된 바와 같이, 딜레이 제어 회로는 테스트 모드 딜레이부(100: tm_dly)와 테스트 딜레이부(120: tstdly)를 구비한다. 테스트 딜레이부(120)는 입력신호(in)를 소정 시간 딜레이시키며, 테스트 모드 딜레이부(100)는 테스트 신호(tm_reset, tm_pulse)를 수신하여 테스트 딜레이부(120)의 지연 정도를 결정하는 신호(tmsel<0:4>)를 출력한다. 여기서, pwrap 은 파워업 신호로서 구동전압을 나타내고, out 신호는 입력신호(in)가 소정 시간 지연되어 출력되는 신호를 나타낸다.

- <16> 도 2 는 도 1 에 도시된 테스트 모드 딜레이부(100)의 일예이다.
- <17> 도 2 에서 알 수 있듯이, 파워업 신호(pwrup)가 하이로 인에이블되고, 테스트 모드 리셋 신호(tm_reset)가 하이 레벨로 인에이블된 상태에서, 테스트 모드 펄스 신호(tm_pulse)가 펄스 형태로 인가되면, 테스트 모드 딜레이부(100)는 소정의 출력 신호(tmsel<0>, tmsel<1>, tmsel<2>, tmsel<3>, tmsel<4>)를 발생시킨다. 여기서, tmsel<1>는 tmsel<0>가 쉬프트 레지스트(200)를 통과하여 출력되는 신호이고, tmsel<2>는 tmsel<1>가 쉬프트 레지스트(220)를 통과하여 출력되는 신호이고, tmsel<3>는 tmsel<2>가 쉬프트 레지스트(240)를 통과하여 출력되는 신호이고, tmsel<4>는 tmsel<3>가 쉬프트 레지스트(260)를 통과하여 출력되는 신호이다.
- <18> 도 2 에 도시된 회로의 신호의 파형도는 도 7 에 도시되어 있다.
- <19> 도시된 바와같이, pwrup 신호가 하이로 인가되고, tm_pulse 신호가 펄스형으로 토글되는 경우, 그 출력신호 tmsel<0>, tmsel<1>, tmsel<2>, tmsel<3>, tmsel<4>는 도 7 과같은 파형을 나타나게 됨을 알 수 있을 것이다.
- <20> 즉, 도 2 의 경우, 출력신호(tmsel<0>)는 tm_pulse 의 폴링 에지에서 로우로 천이하며, 출력신호(tmsel<1>)는 출력신호(tmsel<0>)의 폴링 에지에 동기되어 하이로 천이하며 tm_pulse 신호의 폴링 에지에 동기되어 로우로 천이하며, 출력신호(tmsel<2>)는 출력신호(tmsel<1>)의 폴링 에지에 동기되어 하이로 천이하며 tm_pulse 신호의 폴링 에지에 동기되어 로우로 천이하며, 출력신호(tmsel<3>)는 출력신호(tmsel<2>)의 폴링 에지에 동기되어 하이로 천이하며 tm_pulse 신호의 폴링 에지에 동기되어 로우로 천이하며, 출력신호(tmsel<4>)는 출력신호(tmsel<3>)의 폴링 에지에 동기되어 하이로 천이하며 tm_pulse 신호의 폴링 에지에 동기되어 로우로 천이하며, 출력신호(tmsel

<0>)는 출력신호(tmsel<4>)의 폴링 에지에 동기되어 하이로 천이하며 tm_pulse 신호의 폴링 에지에 동기되어 로우로 천이한다. 상기 동작은 tm_pulse 가 계속 인가되는 경우에는 연속적으로 반복된다.

<21> 도 3 은 도 1 에 도시된 테스트 딜레이부(120)의 일예이다.

<22> 도시된 바와같이, 테스트 딜레이부(120)의 입력신호(in)는 직렬로 연결된 딜레이부(300, 320, 340, 360)의 첫번째 딜레이부(300)에 인가되어 순차적으로 지연된다. 또한, 입력단 및 각 딜레이부의 출력단에 연결되어 있는 전송 게이트(302, 322, 342, 362, 382)는 각각 신호(tmsel<2>, tmsel<1>, tmsel<0>, tmsel<3>, tmsel<4>)에 의하여 턴온/오프된다. 따라서, 신호(tmsel<2>, tmsel<1>, tmsel<0>, tmsel<3>, tmsel<4>)에 의하여 복수개의 전송 게이트중의 하나가 턴온되면 입력신호(in)는 소정 시간 지연되어 출력됨을 알 수 있다.

<23> 도 3 에서 알 수 있듯이, 종래의 경우에 있어서, 입력신호(in)의 지연 시간은 그 최대 시간 지연이 어느 정도 한계를 지니고 있음을 알 수 있다. 즉, 종래의 경우, 입력신호의 지연 시간의 그 최대량이 제한적이었음을 알 수 있다.

【발명이 이루고자 하는 기술적 과제】

<24> 본 발명은 전술한 문제점을 해결하기 위하여 제안된 것으로, 본 발명에서는 소정의 지연 시간을 결정하는 제어신호를 단순히 테스트 딜레이부에 존재하는 딜레이 패스중 하나를 선택하는 기존의 기능 이외에도, 딜레이의 양 자체를 외부 제어신호를 인가하는 시점으로 조절할 수 있도록 한 반도체 장치에 사용되는 딜레이 제어 회로를 제공하고자 한다.

【발명의 구성 및 작용】

- <25> 본 발명에 따른 테스트 모드시 반도체 장치에서의 신호의 지연 시간을 제어하는 방법은
 (a) 테스트 모드용 펄스 신호를 인가하는 단계;(b) 상기 테스트 모드용 펄스 신호의 폴링 에지
 시마다 동기되어 순차적으로 응답하는 N 개의 테스트 모드 선택 신호를 발생하는 단계;(c) N
 번째 테스트 모드 선택 신호가 발생한 후, N-1 번째 테스트 모드 선택 신호가 순차로 재발생하
 는 단계;(d) 상기 단계(c)를 반복하는 단계를 구비하며, 상기 반도체 장치에 입력되는 입력신호
 는 상기 제 1 내지 N-1 번째 테스트 모드 선택 신호가 인에이블되는 경우에만 소정 시간 지연
 되어 출력신호로 전달되고, 상기 제 1 내지 N-1 번째 테스트 모드 선택 신호에 따라서 상기 지
 연 시간은 서로 상이하다.
- <26> 본 발명에 있어서, 테스트 모드용 펄스 신호의 폴링 시점을 조절함으로써, 상기 제 N 및
 N-1 번째 테스트 모드 선택 신호의 펄스 폭을 조절하여 상기 입력신호가 상기 출력신호로 출
 령되기까지의 지연 시간을 조절할 수 있다.
- <27> 본 발명의 단계(b)에서, (b-1)상기 테스트 모드용 펄스 신호의 첫번째 폴링 에지시에,
 하이 레벨의 스탠드바이 상태를 유지하던 제 1 테스트 모드 선택 신호는 로우 레벨로 천이하며,
 제 2 테스트 모드 선택 신호는 하이 레벨로 천이하며, (b-2)상기 테스트 모드용 펄스 신호의
 두번째 폴링 에지시에, 하이 레벨의 제 2 테스트 모드 선택 신호는 로우 레벨로 천이하며, 제
 3 테스트 모드 선택 신호는 하이 레벨로 천이하며, (b-3)상기 테스트 모드용 펄스 신호의 세번
 째 폴링 에지시에, 하이 레벨의 제 3 테스트 모드 선택 신호는 로우 레벨로 천이하며, 제 4 테
 스트 모드 선택 신호는 하이 레벨로 천이하며, (b-4) 상기 단계(b-2)와 단계(b-3)는 나머지 테
 스트 모드 선택 신호에도 동일하게 적용된다.

- <28> 이때, 제 2 내지 제 N-1 번째 테스트 모드 선택 신호의 하이 레벨 펄스의 폭은 이들 신호를 발생시키는 상기 테스트 모드용 펄스 신호의 주기와 동일하다.
- <29> (실시예)
- <30> 이하, 도면을 참조하여 본 발명의 실시예에 대하여 보다 구체적으로 설명하기로 한다.
- <31> 도 4 는 본 발명에 따른 테스트 모드 딜레이부의 일 실시예이고, 도 5 는 본 발명에 따른 테스트 딜레이부의 일 실시예로서, 도 4 의 출력신호(tmsel<0>, tmsel<1>, tmsel<2>, tmsel<3>, tmsel<4>)는 도 5 의 회로에 인가되어 도 5 의 회로에 인가되는 입력신호(in)가 출력되기까지의 딜레이를 결정하게 된다. 본 발명은 설명의 편의상 우선 도 4 에 대하여 기술하기로 한다. 참고로, 도 4 에서 사용된 신호(pwrup, tm_reset, tm_pulse)의 기본적인 파형 및 동작은 도 2 의 경우와 동일하다.
- <32> 이하에서 설명하는 도 4 에 도시된 회로의 동작은 도 4 에 도시된 테스트 모드 딜레이부에 사용된 신호의 시뮬레이션 결과를 나타내는 도 8 을 참조하여 이해하면 도움이 될 것이다.
- <33> 도 4 에 있어서, pwrup 신호는 회로의 초기값을 설정하기 위한 신호로 처음에 로우 값을 가지고 있다가 회로 동작시 하이 값을 유지하게 된다.
- <34> tm_reset 신호는 회로의 리셋을 위한 신호로 스탠드바이 상태에서 하이 값을 유지하다가 로우로 천이하는 순간, 회로를 리셋시켜 기본적으로 tmsel<0>는 하이 값, tmsel<1>내지 tmsel<4>는 로우 값을 가지도록 한다.
- <35> tm_pulse 신호는 하이값과 로우값을 교대로 가지는 펄스 신호로, 한 번 로우 값으로 떨어질 때마다 초기에 tmsel<0>이 가지고 있던 하이 값을 쉬프트 유닛에 의하여 tmsel<1>, tmsel<2>, tmsel<3>, tmsel<4> 로 차례로 전달하는 역할을 한다. 단, 도 2 의 경우

tm_{sel}<4>에서 tm_{sel}<0>로 값이 전달되나(도 7 참조), 도 4 의 경우 tm_{sel}<4>의 값이 tm_{sel}<3>로 다시 전달되어 tm_{sel}<3>와 tm_{sel}<4>의 두 신호만이 교대로 움직인다(도 8 참조).

<36> 도 4 에서, 초기에 pwrap 신호가 로우 상태인 구간에서 노드{a} 는 하이가 되고, 따라서 기본적으로 tm_{sel}<0>가 선택이 되며, pwrap 신호가 하이로 바뀌더라도, 래치(즉, 406, 408)에 의하여 노드{a}의 값은 변하지 않고 유지된다. 스탠드바이 상태에서, tm_{reset} 신호와 tm_{pulse} 신호의 값이 하이이면, tm_{sel}<1>, tm_{sel}<2>, tm_{sel}<3>, tm_{sel}<4> 의 값은 로우이다. 하이로 유지되고 있던 tm_{pulse} 신호가 로우로 떨어지면 왼쪽의 전송 게이트가 열리면서 로우 값이 NOR 게이트(406)로 전달되며, 이때 노드{a}의 값도 로우이므로, 하이 상태였던 tm_{sel}<0> 값이 로우로 바뀌면서 동시에 쉬프트 유닛에 의하여 tm_{sel}<1>의 값이 로우에서 하이로 바뀌게 된다. tm_{pulse} 신호가 로우에서 하이로 올라갔다가 다시 로우로 떨어지면 이번에는 tm_{sel}<1>이 로우가 되면서 tm_{sel}<2>가 하이 값을 갖게 된다. 이렇게 tm_{pulse} 신호가 토글(toggle)할 때마다 tm_{sel}<0>가 가지고 있던 하이 값이 tm_{sel}<1>, tm_{sel}<2>, tm_{sel}<3>, tm_{sel}<4>로 차례로 전달되며, tm_{pulse} 의 네번째 폴링 에지에서 tm_{sel}<4>로 전달된 하이 값은 tm_{pulse} 의 다섯 번째 폴링 에지에서 tm_{sel}<0>로 다시 전달되는 것이 아니라, 노드{f}를 통해 tm_{sel}<3>으로 전달된다. 따라서, 이후에 tm_{pulse} 가 토글하는 동안 tm_{sel}<3>과 tm_{sel}<4>가 번갈아가며 하이 값을 갖게 되며, 이 동작을 도 8 에 도시하였다. 이렇게 발생하는 tm_{sel}<0:4> 신호는 도 5 에 도시된 테스트 딜레이부의 입력으로 인가되며, 따라서 in 에서 out 까지의 딜레이 패스를 결정해 주는 역할을 한다. 디폴트(default)로 tm_{sel}<0>가 선택되어 있는 상황에서 tm_{sel} 신호를 어떻게 선택하느냐에 따라 순차적으로 딜레이의 양을 늘리거나 줄이는 것이 가능하다.

<37> 다음, 도 5 에 있어서, 기존의 회로와는 달리 tmsel<4> 신호가 전송 게이트(502)로 연결되어 있지 않고 끊어져 있는 것을 확인할 수 있다. tmsel<1> 내지 tmsel<3> 호가 선택됨에 따라 딜레이 패스가 형성되지만, tmsel<4> 가 선택된 경우에는 노드{a}의 래치에 의하여 기존의 값을 그대로 유지하게 된다.

<38> 테스트 모드시, tmsel<4>를 선택한 상태에서, in 호가 인가되면, tmsel<4>에 의하여 선택된 전송 게이트(502)는 턴오프 상태이므로 변화된 in 신호는 도 5 의 노드{a}로 전달되지 못하고 있다가 도 4 의 tm_pulse 가 한 번 더 토글해서 tmsel<3> 가 하이로 되면 그 때 in 값이 out 으로 전달된다. 따라서, tmsel<4>를 하(로 만드는데는 tm_pulse 신호와 다시 tmsel<3>을 하이로 만드는 tm_pulse 신호의 간격이 곧 딜레이의 양이 되므로 회로내에 이미 그려져 있는 딜레이의 양에 구애 받지 않고 딜레이를 조절할 수 있다.

<39> 도 6 은 반도체 메모리 장치에 사용되는 딜레이 제어 회로의 일례로서, 도 1 의 회로와 사실상 동일한 기능을 갖는다.

<40> 도시된 바와같이, 딜레이 제어 회로는 테스트 모드 딜레이부(600: tm_dly)와 테스트 딜레이부(620: tstdly)를 구비한다.

<41> 테스트 딜레이부(620)는 입력신호(in)를 소정 시간 딜레이시키며, 테스트 모드 딜레이부(600)는 테스트 신호(tm_reset, tm_pulse)를 수신하여 테스트 딜레이부(120)의 지연 정도를 결정하는 신호(tmsel<0:4>)를 출력한다.

<42> 여기서, pwrup 은 파워업 신호로서 구동전압을 나타내고, pre_bsg 는 입력신호(in)가 소정 시간 지연되어 출력되는 신호로서 종래 기술의 out 신호와 동일한 신호이다.



- <43> 전원전압과 접지전압사이에 직렬로 연결되어 있는 PMOS 트랜지스터(61)와 NMOS 트랜지스터(62)의 게이트는 각각 pcg 신호와 actv 신호가 인가되며, 그 출력단에는 래치(63, 64)가 연결되어 있다. 도시된 바와같이, 래치(63, 64)의 출력 신호는 테스트 딜레이부(620)의 입력신호(in)이다.
- <44> 도 7 은 도 1 에 도시된 반도체 메모리 장치에 사용되는 딜레이 제어 회로에 사용된 신호의 시뮬레이션 결과를 나타낸다. 종래 기술에서 언급한 바와같이, 도 7 의 경우, tm_pulse 신호에 응답하여 tmsel<0>, tmsel<1>, tmsel<2>, tmsel<3>, tmsel<4>, tmsel<0>, ... 순서로 계속 반복됨을 알 수 있다. 따라서, 종래 기술의 경우, 정해진 지연 시간중의 하나만을 얻을 수 있을 뿐이다.
- <45> 도 8 은 본 발명에 따른 도 4 에 도시된 테스트 모드 딜레이부에 사용된 신호의 시뮬레이션 결과를 나타낸다.
- <46> 도 8 에서 알 수 있듯이, tm_pulse 의 네번째 폴링 에지에서 tmsel<4>로 전달된 하이 값은 tm_pulse 의 다섯 번째 폴링 에지에서 tmsel<0>로 다시 전달되는 것이 아니라, tmsel<3>으로 전달됨을 알 수 있다. 따라서, 이후에 tm_pulse 가 토글하는 동안 tmsel<3>과 tmsel<4>가 번갈아 가며 하이 값을 갖게 된다. 그런데, 도 5 에서 알 수 있듯이, tmsel<4>는 항상 턴오프 상태이므로, 위와같이 발생하는 tmsel<3>, tmsel<4> 신호를 이용하는 경우 입력신호(in)에서 출력신호(out) 까지의 딜레이 패스를 임의로 결정할 수 있다.
- <47> 도 9 는 도 4 내지 6 과 관련된 신호의 시뮬레이션 결과를 나타낸다.

- <48> 도시된 바와같이, 도 6 의 출력신호인 pre_bsg 신호는 스탠드바이 상태에서 하이 레벨을 유지하며, actv 신호에 의해 로우로 떨어졌다가 pcg 신호에 의하여 하이로 되돌아 가는 동작을 한다.
- <49> 이하에서 보다 구체적으로 설명한다.
- <50> tm_pulse 신호를 네번 토글시켜서 tmsel<4> 가 하이로 선택된 상태에서 actv 신호를 하이 펄스로 주면 in 신호가 하이 레벨을 갖게 된다. 도시된 바와같이, tm_pulse 신호가 로우 레벨로 천이하지 않는 동안 tmsel<4> 는 하이 레벨을 계속 유지한다(참고로, 하이 레벨의 tmsel<4>신호는 항상 턴오프 상태임을 인지하고 있어야 한다, 즉 신호의 전달이 발생하지 않는다). 하이 레벨의 입력신호(in)은 tm_pulse가 한 번 더 움직여서 tmsel<3>이 선택될 때까지 출력(out)으로 전달되지 못하다가 tmsel<3> 신호가 하이가 되는 순간 출력(out)으로 전달되어 pre_bsg 신호를 로우로 떨어뜨린다. 이후, tm_reset 을 로우 펄스로 주면 테스트 딜레이부가 리셋되어 다시 tmsel<0>가 하이로 가게 되며, 이 상태에서 pcg 신호를 주면 out 신호가 스탠드바이 상태로 돌아가게 된다.
- <51> 도 10a, 10b, 10c 는 본 발명에 따른 테스트 모드 딜레이부와 테스트 딜레이부를 적용시킨 경우, tm_pulse 신호의 조작에 따른 딜레이의 변화를 나타내는 시뮬레이션 결과이다.
- <52> 도시된 바와같이, 도 10a, 10b, 10c 는 tm_pulse 신호를 네번 토글시켜 tmsel<4> 가 하이로 선택한 후, tm_pulse 를 로우 레벨로 재천이하기 까지의 시간을 조절하여 입력신호를 출력신호로 전달하기까지의 지연 시간을 조절할 수 있음을 보여준다. 즉, 네번째 tm_pulse 와 다섯 번째 tm_pulse 펄스 사이의 간격에 의해 각각 도 10a, 10b, 10c 와 같은 딜레이 차이를 볼 수 있다.



<53> 지금까지 설명한 바와같이, 본 발명은 어떤 신호에 소정의 지연 시간을 설정하기 위하여, 테스트 모드시, 그 지연 정도를 임의로 조절할 수 있는 방법에 관한 것으로, 딜레이 테스트 동작을 필요로 하는 모든 회로에 적용 가능할 것이다.

【발명의 효과】

<54> 이상에서 알 수 있는 바와같이, 본 발명에 따른 반도체 장치에서의 신호의 지연 시간 제어 방법은 테스트 모드에서 어떤 신호에 의해 임의의 딜레이를 줄 수 있으므로 테스트에 필요한 딜레이를 위한 회로 면적을 줄일 수가 있으며, 딜레이 변화량에 제한 받지 않으므로 필요한 딜레이를 만들어 내기 위한 딜레이 튜닝에 소모되는 시간과 비용을 줄일 수 있다.

【특허청구범위】**【청구항 1】**

테스트 모드시 반도체 장치에서의 신호의 지연 시간을 제어하는 방법으로서,

(a) 테스트 모드용 펄스 신호를 인가하는 단계;

(b) 상기 테스트 모드용 펄스 신호의 폴링 에지시마다 동기되어 순차적으로 응답하는 N 개의 테스트 모드 선택 신호를 발생하는 단계;

(c) N 번째 테스트 모드 선택 신호가 발생한 후, N-1 번째 테스트 모드 선택 신호가 순차로 재발생하는 단계;

(d) 상기 단계(c)를 반복하는 단계를 구비하며,

상기 반도체 장치에 입력되는 입력신호는 상기 제 1 내지 N-1 번째 테스트 모드 선택 신호가 인에이블되는 경우에만 소정 시간 지연되어 출력신호로 전달되고, 상기 제 1 내지 N-1 번째 테스트 모드 선택 신호에 따라서 상기 지연 시간은 서로 상이한 것을 특징으로 하는 테스트 모드용 반도체 장치에서의 신호의 지연 시간 제어 방법.

【청구항 2】

제 1 항에 있어서, 상기 테스트 모드용 펄스 신호의 폴링 시점을 조절함으로써, 상기 제 N 및 N-1 번째 테스트 모드 선택 신호의 펄스 폭을 조절하여 상기 입력신호가 상기 출력신호로 출력되기까지의 지연 시간을 조절하는 것을 특징으로 하는 반도체 장치에서의 신호의 지연 시간 제어 방법.

【청구항 3】

제 1 항에 있어서,

상기 단계(b)에서,

(b-1)상기 테스트 모드용 펄스 신호의 첫번째 폴링 에지시에, 하이 레벨의 스탠드바이 상태를 유지하던 제 1 테스트 모드 선택 신호는 로우 레벨로 천이하며, 제 2 테스트 모드 선택 신호는 하이 레벨로 천이하며,

(b-2) 상기 테스트 모드용 펄스 신호의 두번째 폴링 에지시에, 하이 레벨의 제 2 테스트 모드 선택 신호는 로우 레벨로 천이하며, 제 3 테스트 모드 선택 신호는 하이 레벨로 천이하며

(b-3)상기 테스트 모드용 펄스 신호의 세번째 폴링 에지시에, 하이 레벨의 제 3 테스트 모드 선택 신호는 로우 레벨로 천이하며, 제 4 테스트 모드 선택 신호는 하이 레벨로 천이하며

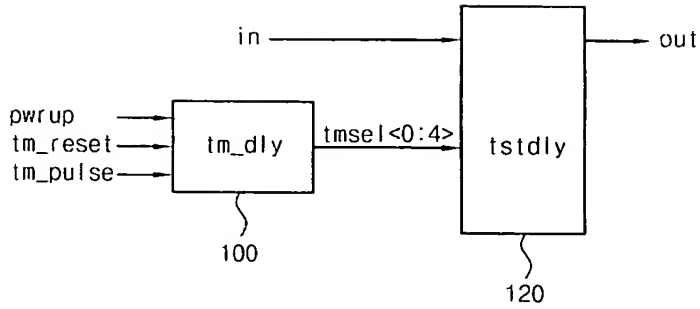
(b-4) 상기 단계(b-2)와 단계(b-3)는 나머지 테스트 모드 선택 신호에도 동일하게 적용되는 것을 특징으로 하는 반도체 장치에서의 신호의 지연 시간 제어 방법.

【청구항 4】

제 3 항에 있어서, 제 2 내지 제 N-1 번째 테스트 모드 선택 신호의 하이 레벨 펄스의 폭은 이들 신호를 발생시키는 상기 테스트 모드용 펄스 신호의 주기와 동일한 것을 특징으로 하는 반도체 장치에서의 신호의 지연 시간 제어 방법.

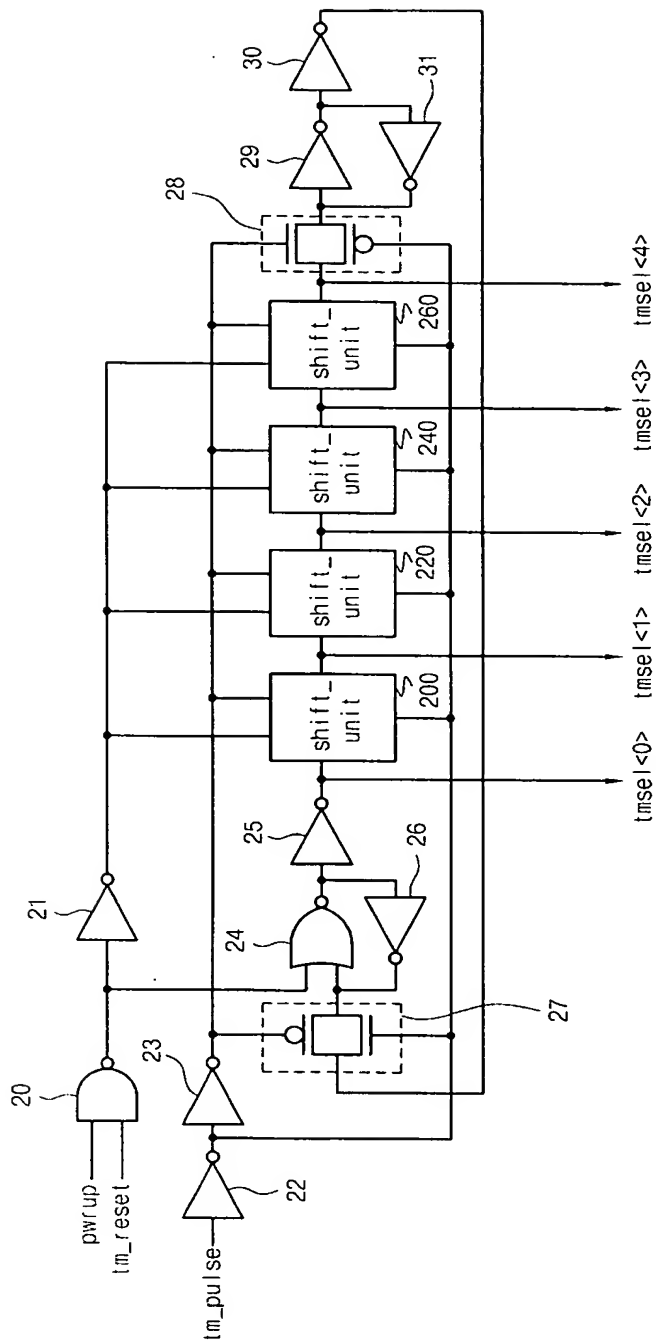
【도면】

【도 1】

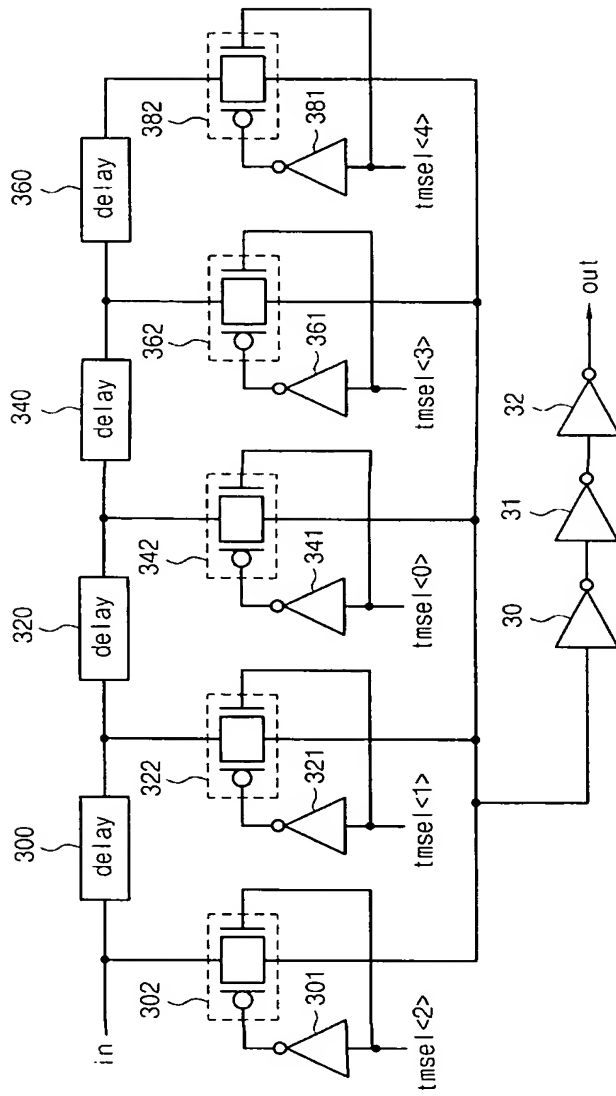




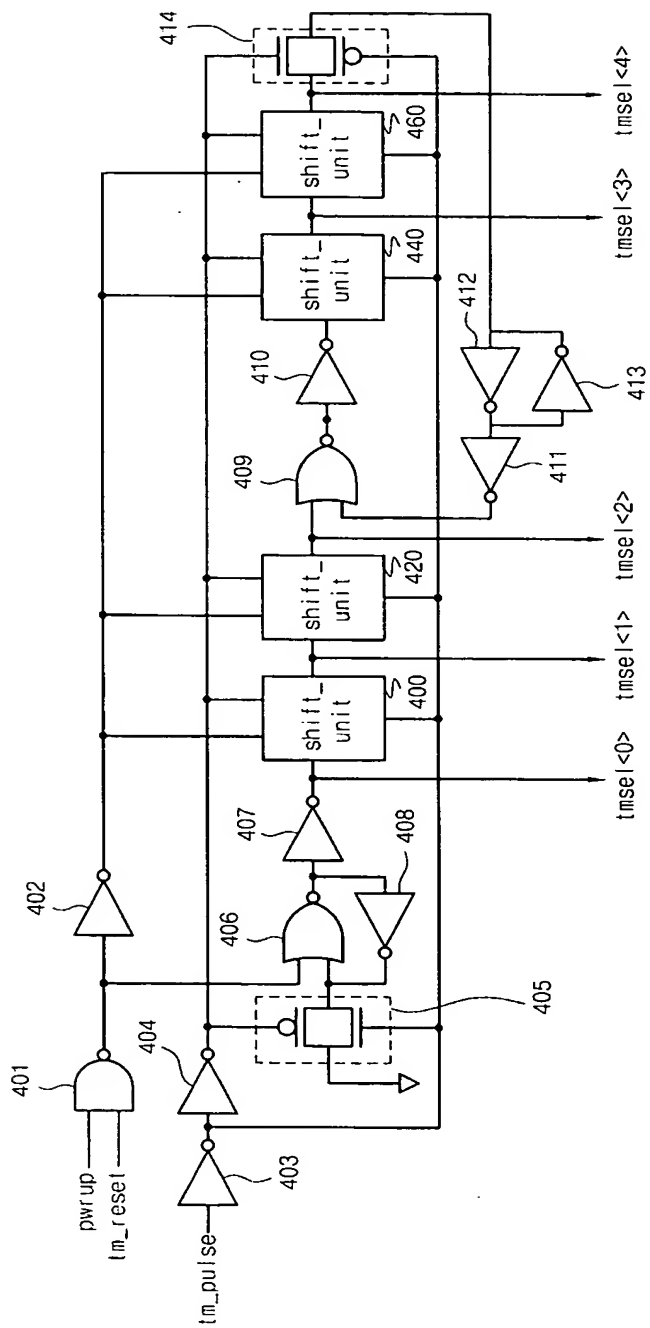
【도 2】



【도 3】

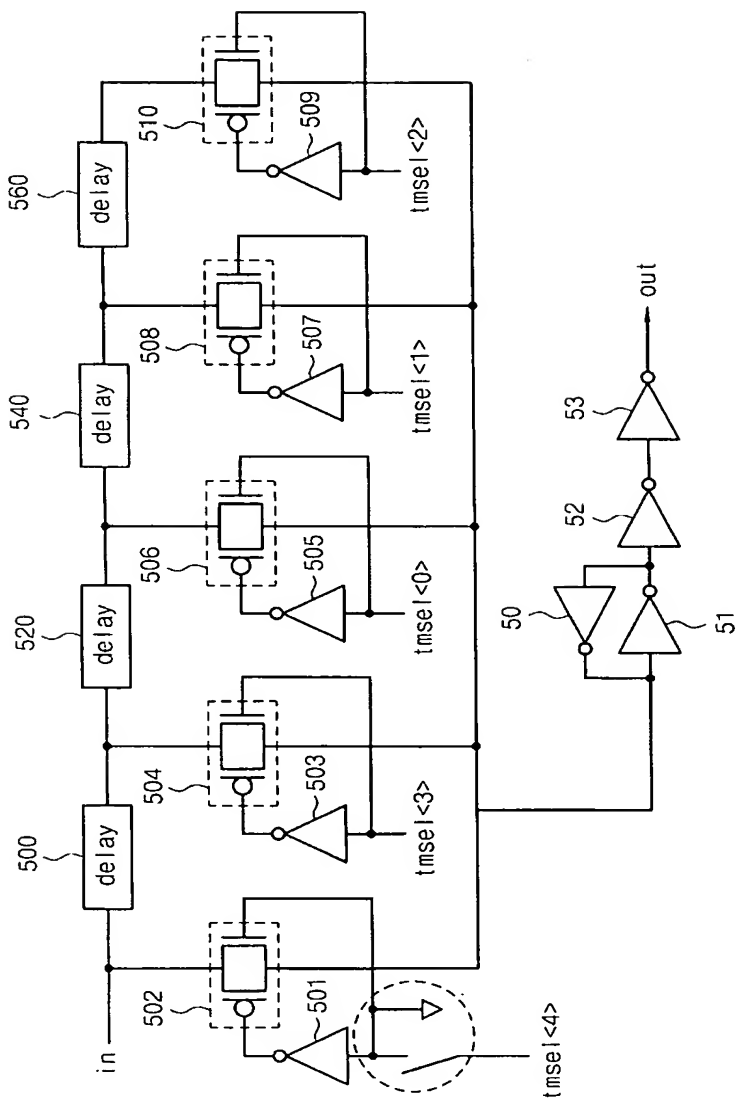


【도 4】

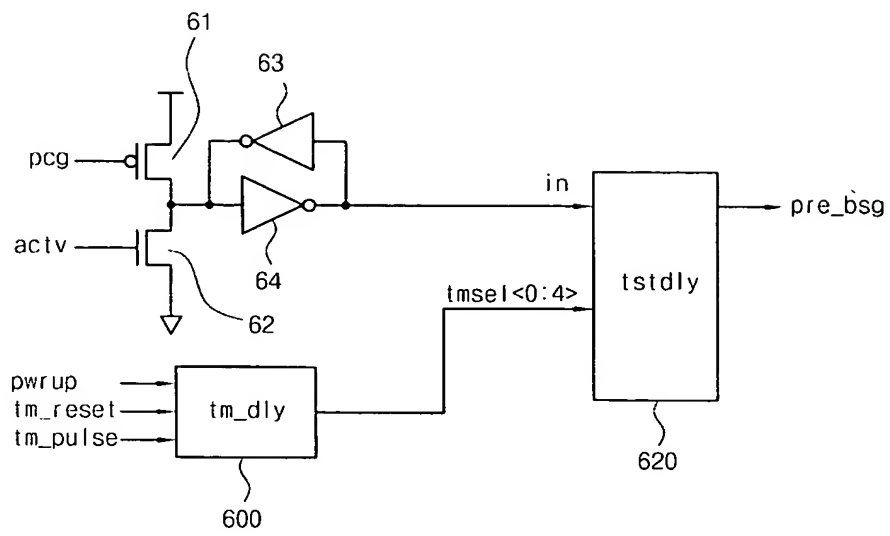




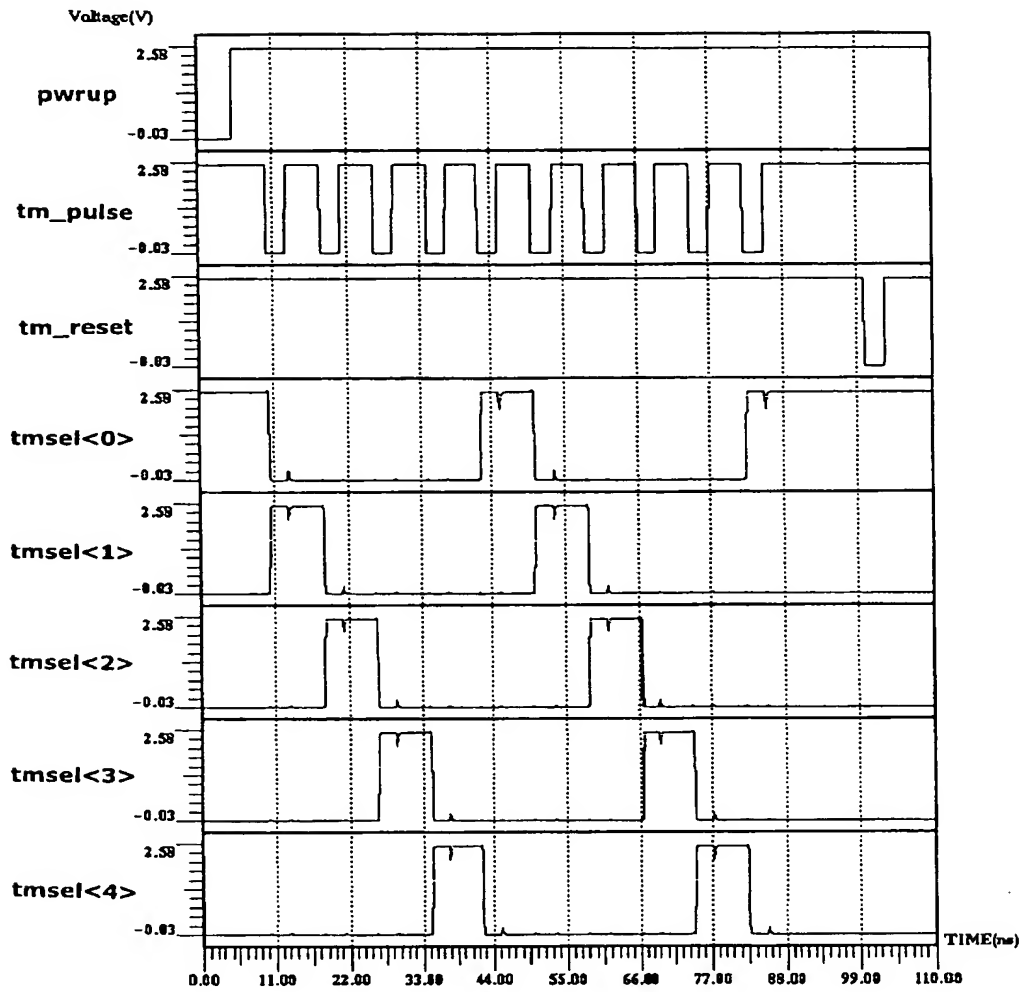
【도 5】



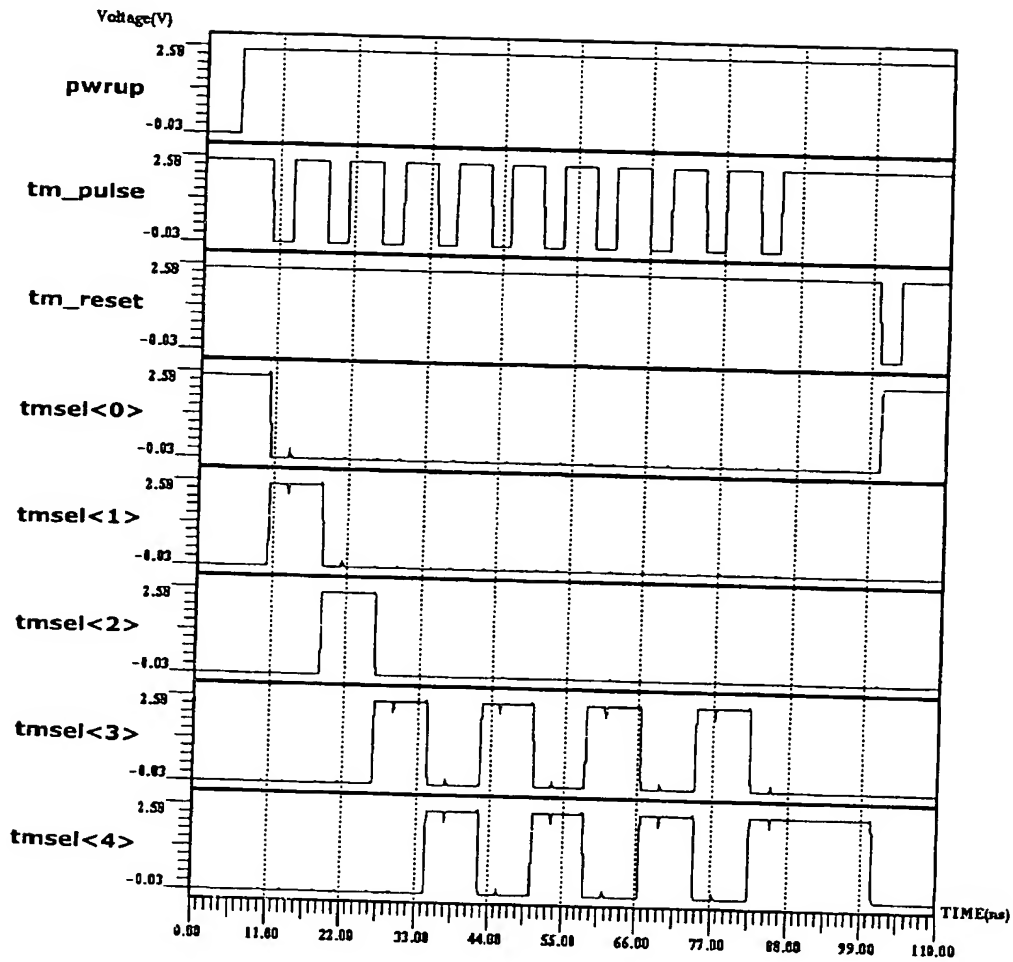
【도 6】



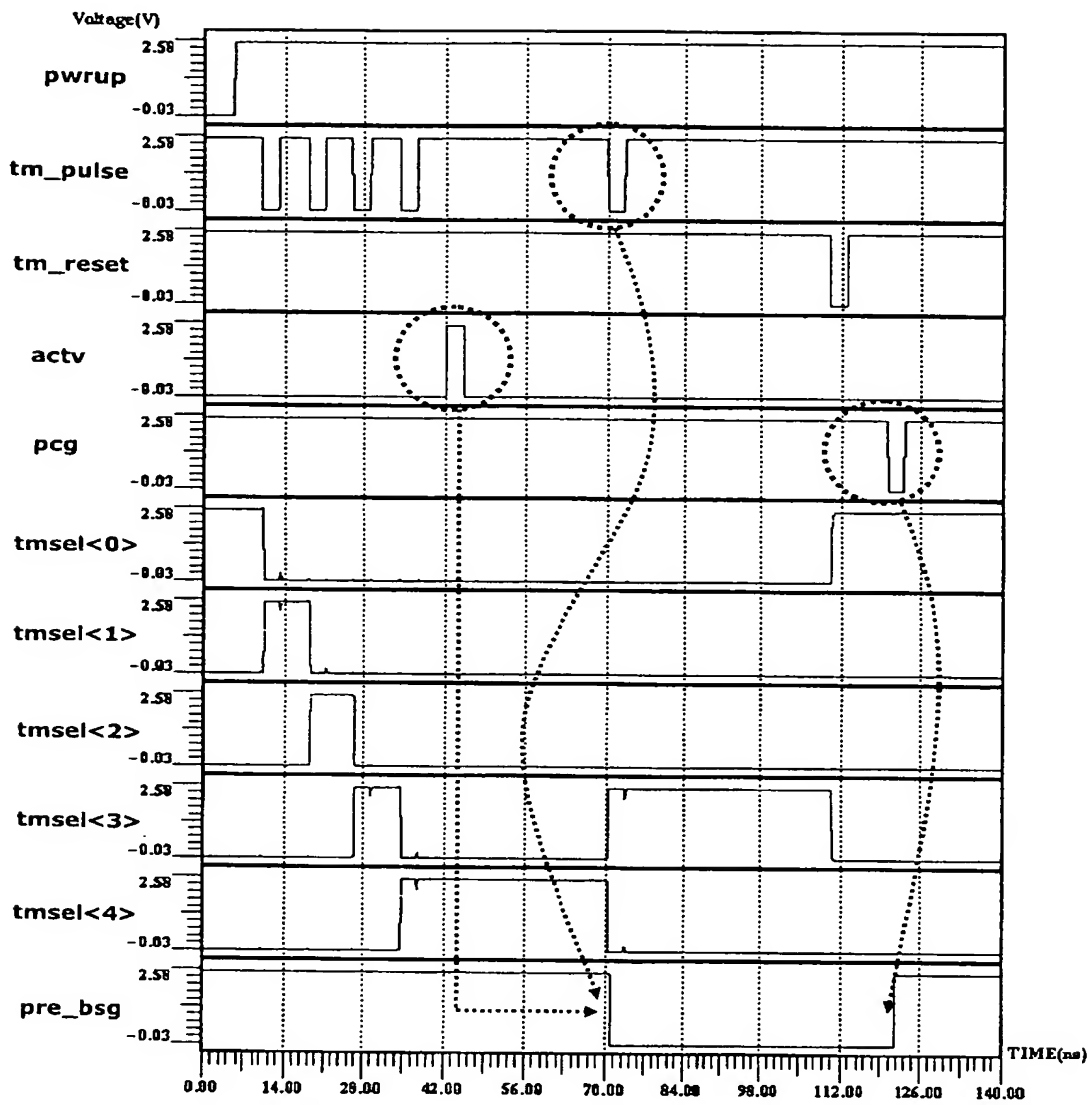
【도 7】



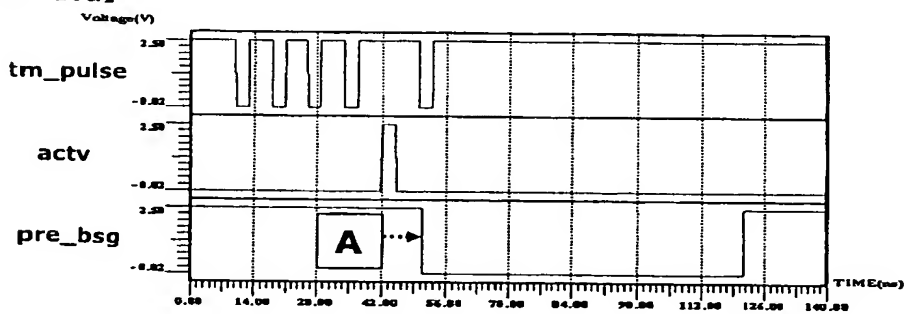
【도 8】



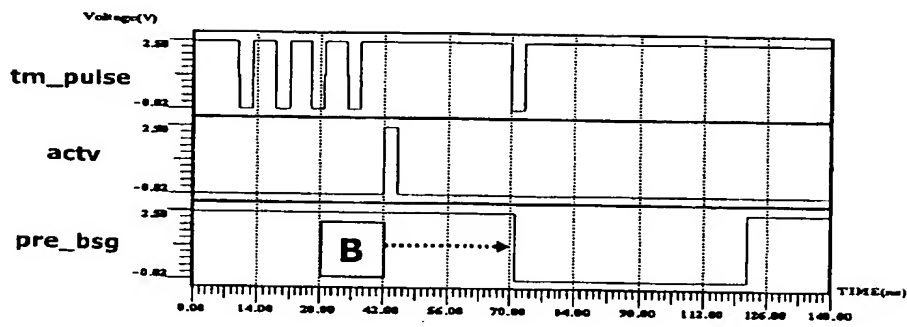
【도 9】



【도 10a】



【도 10b】



【도 10c】

